

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-045514

(43)Date of publication of application : 16.02.1999

(51)Int.Cl.

G11B 20/10  
G11B 7/095  
G11B 11/10

(21)Application number : 09-197658

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 24.07.1997

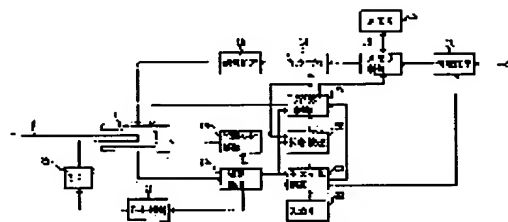
(72)Inventor : KASAHARA TETSUSHI

## (54) INFORMATION RECORDER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a continuous plural cluster recording without deviation of the phases of an ADIP signal and a recording signal from a standard value, in an information recorder.

**SOLUTION:** This device is provided with a phase detecting circuit 26, which measures the time  $\beta$  from the sync addition timing signal of the same sector 'FC' to the ADIP sync detection signal and a timing control circuit 27, which outputs a sync addition timing signal to a sync addition circuit 14 and changes the sync addition timing signal of the sector 'FC' forward and backward according to the time  $\beta$  detected by a phase detecting circuit 26. In such a case, the phase of data to be recorded in the link sector 'FE' according to the time  $\beta$  detected by the phase detecting circuit 26 at the time of continuously recording in the plural clusters is changed, there by, the phases of the ADIP sync and the sector sync are substantially prevented from exceeding the threshold value determined by a standard and the recording of the plural clusters on a disk 16 at one time is made possible.



## LEGAL STATUS

[Date of request for examination]

15.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45514

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.<sup>6</sup>  
G 1 1 B 20/10  
7/095  
11/10

識別記号  
3 1 1  
5 8 6

F I  
G 1 1 B 20/10  
7/095  
11/10

3 1 1  
C  
5 8 6 F

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21) 出願番号 特願平9-197658

(22) 出願日 平成9年(1997) 7月24日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 笠原 哲志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

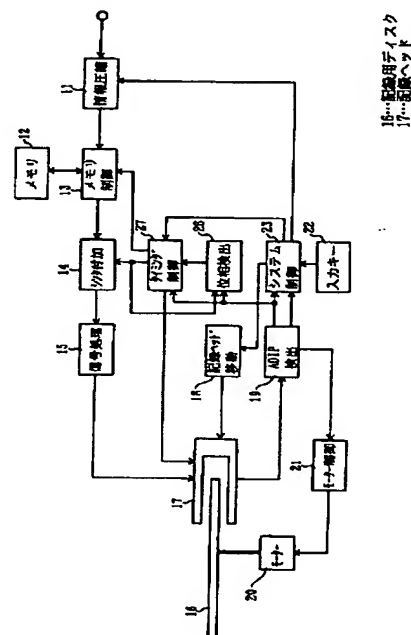
(74) 代理人 弁理士 森本 義弘

(54) 【発明の名称】 情報記録装置

## (57) 【要約】

【課題】 情報記録装置において、ADIP信号と記録信号との位相が規格値を外れることなく、連続複数クラスタ記録を可能とすることを目的とする。

【解決手段】 同一セクタ 'FC' のシンク付加タイミング信号からADIPシンク検出信号までの時間 $\beta$ を計測する位相検出回路26と、シンク付加回路14に対してシンク付加タイミング信号を出力するとともに、位相検出回路26が検出する時間 $\beta$ に応じて、セクタ 'FE' のシンク付加タイミング信号を前後に変化させるタイミング制御回路27を設け、複数クラスタ連続に記録するときに、位相検出回路26によって検出された時間 $\beta$ に応じてリンクセクタ 'FE' において記録するデータの位相を変化させることにより、ADIPシンクとセクタシンクの位相が規格で定められた限界値を超え難くなり、一度に複数クラスタをディスク16へ記録することが可能となる。



## 【特許請求の範囲】

【請求項1】 情報を記録する1つまたは複数の記録領域からなるデータ領域と、前記データ領域と隣のデータ領域との間に配置された1つまたは複数の記録領域からなるリンク領域で構成される記録単位を複数有し、かつ前記各記録単位は独立に書き換えが可能な記録媒体に対して、所定の情報を記録する情報記録装置であって、前記記録媒体上の記録領域を検出する記録領域検出手段と、

記録する前記所定の情報とこの情報を記録する記録媒体上の所定の記録領域との位相を検出する位相検出手段と、

前記記録領域検出手段により前記所定の記録領域を検出すると、前記所定の情報を前記所定の記録領域に記録する記録手段を備え、

前記記録手段は、前記リンク領域を跨って複数記録単位の記録をするときには、リンク領域において、前記位相検出手段により検出される位相に応じてリンク領域に記録する所定の情報の位相を変化させることを特徴とする情報記録装置。

【請求項2】 位相検出手段に代えて、記録媒体上の所定の記録領域を検出後、所定長を計測する計測手段を備え、

記録手段は、リンク領域に記録する情報量を前記計測手段の計測完了から所定量とすることにより、リンク領域に記録する所定の情報の位相を変化させることを特徴とする請求項1記載の情報記録装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ミニ・ディスクなどへ情報を記録する情報記録装置に関するものである。

## 【0002】

【従来の技術】近年、各社よりミニ・ディスク（以下、MDと略称する）が商品化されている。MDは従来のコンパクト・ディスク（以下、CDと略称する）と同様に光ディスクを用いたシステムであるが、CDより小型で、かつ記録ができるという特長を持っており、今後益々の普及が予測されている。

【0003】まず始めに、MDの記録媒体であるディスクについて説明する。MDには再生専用のROMディスクと記録可能なRAMディスクがあるが、本発明ではROMディスクは特に関係がないため説明を省略する。記録可能なRAMディスクには、ADIP (Address In Pregroove) 信号と呼ばれる信号が予め記録されている。このADIP信号には、ディスクの絶対番地を示すアドレスと、ディスクを線速度一定に回転制御をするための情報とが含まれている。そのADIP信号のデータ構造は、図9（a）に示す通りであり、ディスクの絶対番地を示すアドレス（クラスタ番号およびセクタ番号）にCRC（サイクリック符号）を付加した後、バイフェーズ

変調され、同期信号（以下ADIPシンクと略す）を付加し、FM変調されてディスクに記録されている。

【0004】次にアドレスについて、図9（b）を用いて説明する。アドレスは、クラスタ番号とセクタ番号とから成っており、セクタ番号はFC、FD、FE、FF、00、01、……1E、1Fまでの36のセクタ番号が存在し、36セクタで1クラスタと呼ばれる。FC、FD、FEの3セクタはリンクセクタ、FFはサブデータセクタ、00～1Fはメインデータセクタと呼ばれ、ディスクへの記録の開始および停止は、必ずリンクセクタFDの中心で行なわれよう定められている。従って、ディスクへの記録はクラスタ単位で行われる。

【0005】次に、RAMディスクに記録される情報信号のフォーマットについて説明する。情報信号は、2352バイトのセクタ単位で構成されており、セクタのデータ構造は、図10に示す通りである。各セクタには、2332バイトのデータの他に、セクタシンクと呼ばれる12バイトの同期信号、アドレス3バイト、モード1バイト、4バイトの0データが付加されている。アドレスは、記録されるべきディスク上のADIP信号のアドレスと同じ値が付加され、ディスク上のセクタ00～1Fのメインデータセクタのデータの領域には、音声信号が圧縮された音声データが記録される。サブデータセクタのデータの領域には、サブデータが記録されるが、現在のところ詳細は決められていない。また、セクタFC、FD、FEのリンクセクタのデータの領域も特に定められていない。

【0006】セクタのセクタシンク以外は、M系列のスクランブルが施された後、誤り訂正符号が付加され、変調された後にディスクに記録される。誤り訂正符号は、CDに採用されているCIRC (Cross Interleave Read Solomon Code) をMD用にモディファイしたACIRC (Advanced CIRC) と呼ばれる方式が用いられ、変調はCDと全く同様のEFM変調を用いる。ACIRCおよびEFM変調は、本発明にとって特に重要でないため、説明を省略する。

【0007】以上のように、記録データは、クラスタ番号、セクタ番号とも同一のアドレスを有するディスク上の領域に記録されなければならないが、記録信号とディスク上の位置とのずれは、ある程度は許されている。フォーマットでは、図11に示すように、ADIPシンクの後ろエッジとセクタシンクの前エッジとの位相として規定されており、その値は-10EFMフレーム～+26EFMフレームとしている。図11におけるADIPシンクおよびセクタシンクは、ともにディスク上の位置を示すものである。また、図11の数字の単位は、全てEFMフレームで表されており、1セクタは98EFMフレームに相当する。

【0008】次に、従来のMD記録装置について、図12、図13および図14を参照しながら説明する。図1

2は従来のMD記録装置のブロック図である。

【0009】図12において、11は情報圧縮回路であり、この情報圧縮回路11は、入力された音声信号を情報圧縮し、セクタ単位の水データとしてメモリ制御回路13へ出力する。情報圧縮回路11から出力された音声データはメモリ制御回路13により、メモリ12への書き込み、および読み出しが制御され、一時的にメモリ12に保持され、必要に応じて音声データは順次後段のシンク付加回路14へ出力される。メモリ制御回路13によるメモリ12への書き込みおよび読み出しのタイミングは、後述するタイミング制御回路24によって制御されており、メモリ制御回路13は、メモリ12から読み出しを行わないときは、常に0データをシンク付加回路14へ出力する。

【0010】上記シンク付加回路14は、メモリ制御回路13から出力されるデータにアドレスなどを付加し、M系列のスクランブルを行った後、セクタシンクを付加して信号処理回路15へ出力する。このシンク付加回路14は、後述するタイミング制御回路24が出力するシンク付加タイミング信号のH(High)パルスが入力されると、一連の処理を開始する。

【0011】上記信号処理回路15は、シンク付加回路14から出力されるデータを入力とし、ACIRCエンコード、EFM変調を行い、記録ヘッド17へ出力する。この信号処理回路15は、ACIRCの方式上、108EFMフレーム以上の処理遅延が発生するが、ここでは処理遅延を120EFMフレームとする。

【0012】上記記録ヘッド17は、信号処理回路15の出力を磁界変調するとともに、記録用ディスク16の反対面から光ビームをディスク16に収束させ、ディスク16を熱することにより記録する。上記ディスク16には、MDフォーマットに準拠した上記ADIP信号が記録されており、記録ヘッド17は、ディスク16からの反射光を光電変換することにより、ディスク16に記録されたADIP信号を再生し、ADIP検出回路19へ出力する。

【0013】上記ADIP検出回路19は、記録ヘッド17により再生されたADIP信号からディスク16の回転情報を得るとともに、ADIPシンクの検出、ADIPデータのデコードを行ない、ADIPシンク検出信号およびADIPアドレス、回転制御情報を検出し、モータ制御回路21とシステム制御回路23とタイミング制御回路27へ出力する。

【0014】モータ制御回路21は、ADIP検出回路19が検出する回転制御情報を入力として、ディスク16が所望の回転数となるようにモータ20を制御する。また図12において、22は入力キーであり、使用者は、この入力キー22によって音声信号の記録の開始および停止をシステム制御回路23へ指示する。

【0015】システム制御回路23は、ADIP検出回

路19が出力するADIPシンク検出信号およびADIPアドレスを入力として、適宜、記録ヘッド移動回路18に対して記録ヘッド17の移動指示を行うとともに、情報圧縮回路11に対して音声信号の情報圧縮開始および停止の指示を行い、タイミング制御回路24に対して、記録の開始指示および停止指示を行う。

【0016】記録ヘッド移動回路18は、記録ヘッド17を所望の位置に移動させる。上記タイミング制御回路24は、ADIP検出回路19により検出されたADIPシンク検出信号、ADIPアドレスおよびシステム制御回路23の指示に応じて、記録ヘッド17に対して光ビームのパワー切り換え指示、メモリ制御回路13に対して音声データの書き込み、および読み出しの指示、シンク付加回路14に対してシンク付加指示を行う。

【0017】以上のように構成されたMD記録装置について、その動作を図12、図13および図14を用いて以下に説明する。図13および図14において、(a)はディスク上のADIP信号、(b)はADIP検出回路19が出力するADIPシンク検出信号である。ADIPシンク検出信号は、ADIPシンクが検出された直後に出力される。(c)はメモリ12からの読み出しインーブル信号、(d)メモリ制御回路13の出力であり、斜線部分はメモリ12からデータが読み出されていないため、0データが出力されていることを示す。

(e)はタイミング制御回路24が出力するシンク付加タイミング信号である。(f)はシンク付加回路14の出力、(g)は信号処理回路15の出力である。(h)は光ビームのパワー設定信号であり、H(High)の場合に記録パワーが出力される。(i)はディスク16上に記録される記録信号である。(f)(g)(i)において、斜線で示しているセクタは、0データをエンコードしたセクタであることを示している。

【0018】入力キー22によって記録開始の指示がなされると、システム制御回路23は、情報圧縮回路11に対して情報圧縮の開始指示を行う。情報圧縮回路11は、入力された音声信号の情報圧縮を開始し、圧縮された音声データをメモリ制御回路13に出力する。メモリ12は、情報圧縮回路11から出力された音声データを順次保持していく。

【0019】また、システム制御回路23は、記録を開始すべきセクタへ、記録ヘッド17を移動するように記録ヘッド移動回路18に対して指示を行う。ディスク16はモータ制御回路21により所定の回転数に回転制御されており、またADIP検出回路19によってADIPアドレスが検出されている。そして、システム制御回路23は、ADIPアドレスによって、所定のセクタが検出されたことを認識すると、タイミング制御回路24に対して、ディスク16への記録の開始を指示する。

【0020】システム制御回路23の記録開始指示に伴い、タイミング制御回路24は、まず始めにシンク付加

回路14に対してシンク付加タイミング信号(図5

(e))によってシンク付加の開始指示を行う。タイミング制御回路24は、記録を開始する1つ前のクラスタのセクタ'1E'のADIPシンク検出信号からx時間(xについては後述)だけ経過した時点でHパルスを出し、その後はセクタ長 $\alpha$ 間隔でHパルスを出力する。これにより、シンク付加回路14は、メモリ制御回路13から出力されたデータにアドレスFC、FD・・・などを付加し、M系列のスクランブルを行った後にセクタシンクを付加して出力する。

【0021】シンク付加回路14から出力されたデータ(図5(f))は、信号処理回路15によって誤り訂正符号の付加、およびEFM変調がなされることにより120EFMフレーム遅延して出力される。

【0022】次に、タイミング制御回路24は、セクタ'FD'のADIPシンク検出信号からyだけ遅れて、記録ヘッド16に対する光ビームのパワー設定信号(図5(h))により光パワーの増大の指示を行い、再生パワーから記録パワーへ切り換える。これにより、ディスク16には、セクタFDの中央以降から記録されることになる。

【0023】次に、タイミング制御回路24は、シンク付加回路14からセクタ'FF'のデータが出力されたところで、メモリ制御回路13に対して、音声データの読み出し開始を指示する。以降、メモリ12から読み出された音声データは、シンク付加回路14によってアドレスおよびセクタシンクなどが付加され、信号処理回路15によって120EFMフレーム遅延し、ディスク16に記録される。

【0024】以上のように、記録開始をすることにより、記録信号(図13(i))は、同一セクタ番号のADIP信号上(図13(a))に記録される。次に、記録開始後、1クラスタ経過した時点の動作を図14を用いて説明する。

【0025】入力キー22によって記録終了の指示がなされると、システム制御回路23はタイミング制御回路24に対して記録の終了指示を行い、タイミング制御回路24は、シンク付加回路14からセクタ'1F'のデータが出力されたところで、メモリ制御回路13に対して、音声データの読み出しを終了を指示する。これにより、以降メモリ制御回路13からは0データが出力される。

【0026】次に、タイミング制御回路24は、セクタ'FD'のADIPシンク検出信号からyだけ遅れて、記録ヘッド16に対して光パワーの減少の指示を行い、記録パワーから再生パワーに切り換える。これにより、ディスク16には、セクタ'FD'の中央までが記録されることになる。

【0027】上記の説明では、ADIP検出信号とシンク付加タイミング信号の差をxとして説明したが、たと

えばxの値が76EFMフレームの場合、信号処理回路15では120EFMフレーム遅延するため、トータルで196(=98×2)EFMフレーム、すなわち2セクタ分遅延することになる。これにより、図11に示すADIPシンクとセクタシンクの位相差としては0EFMフレームとして記録されることになる。しかし、図11からも明らかなように、0EFMフレームの場合、ADIP信号と記録信号は、ADIPシンク長分だけずれることになるため、図を説明を分かりやすくするように、図13、図14では、ADIPのセクタと記録信号のセクタが全く一致する場合を示している。このとき、xの値はADIPシンク長(9.3)を引いた10.7(=20-9.3)EFMフレームとなる。

【0028】

【発明が解決しようとする課題】上記従来の情報記録装置では、以下のような課題がある。記録信号はクロック精度で記録されるため、記録信号の1セクタの時間は一定である。一方、ディスク16は、回転ムラなどがあるため、必ずしもADIP信号の1セクタの時間は一定ではない。このため、記録開始時にADIPシンクとセクタシンクの位相が所定の値となるように記録を開始したにもかかわらず、記録を続けていくうちに、ずれが積算されフォーマットで規定されている-10/+26EFMフレームを越える可能性がある。1クラスタのみ記録する場合であれば、上記のような構成であっても、規格値を超える可能性はそれほど高く無いが、一度に数クラスタを記録する場合には、可能性がより高くなる。

【0029】図15を用いて、連続記録をすることによって、規格値を超える場合を説明する。横軸は記録クラスタ数、縦軸は図11で示すADIPシンクとセクタシンクの位相差であり、図11で示す通り、上限は26EFMフレーム、下限は-10EFMフレームである。たとえば、記録開始時点では、規格値の-10~+26の中間値の+8EFMフレームに設定されるように記録が開始されたとする。また、ディスク16の回転が若干遅く、1クラスタの記録あたり、6EFMフレーム+方向(図11においては、ADIPシンクとセクタシンクの間隔が詰まる方向)にずれる状態が続いたとする。このような状態で記録が継続されると、図15に示すように、3クラスタ記録したところで+26EFMフレームとなり、規格値の上限を超えることになる。

【0030】本発明はこのような情報信号記録装置において、ADIPシンクとセクタシンクの位相の限界値を超えにくくし、一度に数クラスタを記録することを可能とすること目的とするものである。

【0031】

【課題を解決するための手段】本発明の情報記録装置においては、情報を記録する1つまたは複数の記録領域からなるデータ領域と、前記データ領域と隣接するデータ領域との間に配置された1つまたは複数の記録領域からなる

リンク領域で構成される記録単位を複数有し、かつ前記各記録単位は独立に書き換えが可能な記録媒体に対して、所定の情報を記録する情報記録装置であって、前記記録媒体上の記録領域を検出する記録領域検出手段と、記録する前記所定の情報とこの情報を記録する記録媒体上の所定の記録領域との位相を検出する位相検出手段と、前記記録領域検出手段により前記所定の記録領域を検出すると、前記所定の情報を前記所定の記録領域に記録する記録手段を備え、前記記録手段は、前記リンク領域を跨って複数記録単位の記録をするときには、リンク領域において、前記位相検出手段により検出される位相に応じてリンク領域に記録する所定の情報の位相を変化させることを特徴としたものである。

【0032】この本発明によれば、ADIPシンクとセクタシンクの位相の限界値を超えにくくし、一度に数クラスタを記録することを可能とする情報信号記録装置が得られる。

【0033】

【発明の実施の形態】本発明の請求項1に記載の発明は、情報を記録する1つまたは複数の記録領域からなるデータ領域と、前記データ領域と隣のデータ領域との間に配置された1つまたは複数の記録領域からなるリンク領域で構成される記録単位を複数有し、かつ前記各記録単位は独立に書き換えが可能な記録媒体に対して、所定の情報を記録する情報記録装置であって、前記記録媒体上の記録領域を検出する記録領域検出手段と、記録する前記所定の情報とこの情報を記録する記録媒体上の所定の記録領域との位相を検出する位相検出手段と、前記記録領域検出手段により前記所定の記録領域を検出すると、前記所定の情報を前記所定の記録領域に記録する記録手段を備え、前記記録手段は、前記リンク領域を跨って複数記録単位の記録をするときには、リンク領域において、前記位相検出手段により検出される位相に応じてリンク領域に記録する所定の情報の位相を変化させることを特徴としたものであり、位相検出手段により検出された、1クラスタ記録している間に発生した、記録する所定の情報とこの情報を記録する記録媒体上の所定の記録領域との位相、すなわちADIPシンクとセクタシンクの位相によってリンク領域に記録する記録情報の位相が変化されることにより、1クラスタ記録している間に発生したADIPシンクとセクタシンクの位相をリンク領域を記録する際に初期の値に戻すこと可能となるという作用を有する。このため、連続に記録しても位相差が積算されることはなくなるため、連続クラスタ記録が可能となる。

【0034】請求項2に記載の発明は、請求項1に記載の発明であって、位相検出手段に代えて、記録媒体上の所定の記録領域を検出後、所定長を計測する計測手段を備え、記録手段は、リンク領域に記録する情報量を前記計測手段の計測完了から所定量とすることにより、リン

ク領域に記録する所定の情報の位相を変化させることを特徴としたものであり、リンク領域に記録する情報量を所定の記録領域の計測完了から所定量とすることにより、1クラスタ記録している間に発生したADIPシンクとセクタシンクの位相の値をリンク領域を記録する際に初期の値に戻すこと可能となるという作用を有する。

【0035】以下、本発明の実施の形態について、図面を参照しながら説明する。なお、従来例の図12の構成と同一の構成には同一の符号を付して説明を省略する。

（実施の形態1）図1は本発明の実施の形態1における情報記録装置のブロック図である。図1において、本発明の要旨である位相検出回路26、およびタイミング制御回路27について説明する。

【0036】位相検出回路26は、記録信号とADIP信号の位相差を検出する回路であり、タイミング制御回路27から出力されるシンク付加タイミング信号と、ADIP検出回路19から出力されるADIPシンク検出信号を入力し、同一セクタのシンク付加タイミング信号からADIPシンク検出信号までの時間 $\beta$ を計測し、その値を随時、タイミング制御回路27に出力する。

【0037】タイミング制御回路27は、従来例で説明したタイミング制御回路24の機能、すなわちシステム制御回路23の指示に応じて、記録ヘッド16に対して光ビームのパワー切り換え指示、メモリ制御回路13に対して音声データの書き込みおよび読み出しの指示、シンク付加回路14に対してシンク付加指示を出力するという機能に加え、位相検出回路26が検出する位相に応じて、セクタ‘FE’のシンク付加タイミングを前後に変化させる機能を有する。

【0038】本実施の形態1における、1クラスタのみの記録時の動作は、従来例と同じである。したがって、本実施の形態1が、従来例と異なる動作をする場合、すなわち複数クラスタを連続に記録する場合のリンクセクタにおける記録動作について図2～図4を用いて説明する。

【0039】図2～図4において（a）～（i）は、従来例を説明するときに用いた図13および図14の

（a）～（i）と同様であり、（a）はディスク上のADIP信号、（b）はADIP検出回路19が出力するADIPシンク検出信号である。ADIPシンク検出信号は、ADIPシンクが検出された直後に出力される。

（c）はメモリ12からの読み出しイネーブル信号、

（d）メモリ制御回路13の出力であり、斜線部分はメモリ12からデータが読み出されていないため、0データが出力されていることを示す。（e）はタイミング制御回路27が出力するシンク付加タイミング信号である。（f）はシンク付加回路14の出力、（g）は信号処理回路15の出力である。（h）は光ビームのパワー設定信号であり、Hの場合に記録パワーが出力される。

（i）はディスク16上に記録される記録信号である。

(f) (g) (i) において、斜線で示しているセクタは、0 データをエンコードしたセクタであることを示している。

【0040】図2は、たとえば、記録を開始して1クラスタ経過した時点のリンクセクタの前後における記録動作を示すものであり、ディスク16上のADIP信号(図2(a))のセクタとディスク16上に記録される記録信号(図2(i))のセクタの位相が一致している場合を示している。

【0041】タイミング制御回路27は、シンク付加回路14に対し、Hパルスを出力することによりシンク付加の指示をすることは既に述べた通りであるが、セクタ'FE'のシンク付加の指示をする以前では、Hパルスの間隔が等間隔 $\alpha$ のシンク付加タイミング信号(図2(e))を出力する。

【0042】そして、セクタ'FE'のシンク付加の指示は、たとえば、その直前に位相検出回路26が出力した値、すなわちセクタ'FC'のシンク付加のタイミングからセクタ'FC'のADIPシンク検出信号までの値 $\beta$ に応じて、Hパルスの位置を前後に変化させる。そして、セクタ'FF'以降は、セクタ'FE'のシンク付加タイミングから $\alpha$ 毎にHパルスを出力する。

【0043】このような制御の結果、セクタ'FD'の長さは、位相検出回路26が出力する値によって、通常の $\alpha$ より長い場合も短い場合もあり得る。図2の場合、セクタの位相が一致しているので、

$$\alpha 1 = \alpha$$

である。

【0044】一方、図3は、記録開始後、何らかの原因で記録信号に比べてADIP信号が遅れた場合、図4は、記録信号に比べてADIP信号が早くなった場合を説明する図である。図3、図4において、位相検出回路26は、図2と同様に、セクタFCのシンク付加のタイミングからセクタFCのADIPシンク検出信号までを計測する。図3では値 $\beta 2$ 、図4では $\beta 3$ が計測され、

$$\beta 2 > \beta 1$$

$$\beta 3 < \beta 1$$

である。このときタイミング制御回路27は、

$$\alpha 2 = \alpha + (\beta 2 - \beta 1)$$

$$\alpha 3 = \alpha - (\beta 1 - \beta 3)$$

となるように、セクタ'FE'のシンク付加タイミングを変化させる。これにより、図3の場合には、セクタ'FD'の長さが長くなり、図4の場合には、セクタ'FD'の長さが短くなる。

【0045】以上の動作をすることにより、図3、図4の何れの場合も、セクタ'FE'以降は、ADIP信号(a)と記録信号(i)の位相が一致するように記録が行われる。

【0046】なお、実施の形態1において、

$$\alpha 2 = \alpha + (\beta 2 - \beta 1)$$

$$\alpha 3 = \alpha - (\beta 1 - \beta 3)$$

としたが、

$$\alpha 2 = A \{ \alpha + (\beta 2 - \beta 1) \}$$

$$\alpha 3 = A \{ \alpha - (\beta 1 - \beta 3) \}$$

としても良い。Aは定数または関数である。

【0047】また、実施の形態1において、位相検出回路26は、同一セクタのシンク付加タイミング信号からADIPシンク検出信号までの時間を計測するとしたが、記録信号とADIP信号の位相を検出できるのであればよい。

【0048】以上のように本実施の形態1によれば、ADIPシンクとセクタシンクの位相が規格で定められた限界値を超え難くなるため、一度に複数クラスタをディスク16へ記録することが可能となる。

【0049】これにより、たとえば、記録時に、ディスク16への記録を行わず音声信号を圧縮してメモリ12に書き込むだけの動作をしている場合には、情報圧縮回路11、メモリ12、メモリ制御回路13以外の全ての回路の動作を停止させ、ある程度メモリ12に情報が蓄えられた後、再びディスク16を回転させ、数クラスタまとめて記録をするといった動作が可能となる。これにより、低消費電力のシステムを実現することができ、特に電池などを用いたポータブル機器は、使用可能時間が長くなるといった効果がある。

【0050】また、たとえば、予期しない振動などでディスク16への記録が失敗した場合には、メモリ12に残っている範囲でデータの再記録を行う。この場合、通常の動作時以上にメモリ12のデータ残量が多くなり、メモリ12がオーバーフローしやすい。しかし、本実施の形態1によれば、複数クラスタを連続にディスク16への記録が可能であるために、メモリ12のデータ残量を一気に減らすことが可能である。したがって、振動があってもメモリ12のオーバーフローがし難くなるため、耐震性が向上するという効果がある。

【0051】また、位相検出回路26は、常にADIP信号と記録信号の位相を検出するものであるから、1クラスタの記録の最中に、規格を越えるようなことがあった場合には、規格値あるいは所定の値を超えた時点で記録を停止させるなどの動作を容易に実現することができる。

(実施の形態2) 図5は本発明の実施の形態2における情報記録装置のブロック図である。本発明の要旨であるカウンタ回路29、およびタイミング制御回路30について説明する。

【0052】カウンタ回路29は、ADIP検出回路19から出力されたADIPシンク検出信号から所定時間 $\gamma$ をカウントする回路であり、たとえばセクタ'FC'のADIPシンク検出信号から所定時間 $\gamma$ を計測し、セクタ'FC'のADIPシンク検出信号から時間 $\gamma$ だけ経過したことをタイミング制御回路30に出力する。



【0053】タイミング制御回路30は、従来例で説明したタイミング制御回路24の機能、すなわちシステム制御回路23の指示に応じて、記録ヘッド16に対して光ビームのパワー切り換え指示、メモリ制御回路13に対して音声データの書き込みおよび読み出しの指示、シンク付加回路14に対してシンク付加指示を出力するという機能に加え、カウンタ回路29の出力によって、セクタ‘FE’のシンク付加の指示を出力するという機能を有する。

【0054】本実施の形態2における、1クラスタのみの記録時の動作は、従来例と同じである。したがって、本実施の形態2が、従来例と異なる動作をする場合、すなわち複数クラスタを連続に記録する場合のリンクセクタにおける記録動作について図6～図8を用いて説明する。

【0055】図6～図8において(a)～(i)は、従来例を説明するときに用いた図13および図14の

(a)～(i)と同様であり、(a)はディスク上のADIP信号、(b)はADIP検出回路19が出力するADIPシンク検出信号である。ADIPシンク検出信号は、ADIPシンクが検出された直後に出力される。

(c)はメモリ12からの読み出しエネブル信号、

(d)メモリ制御回路13の出力であり、斜線部分はメモリ12からデータが読み出されていないため、0データが出力されていることを示す。(e)はタイミング制御回路30が出力するシンク付加タイミング信号である。(f)はシンク付加回路14の出力、(g)は信号処理回路15の出力である。(h)は光ビームのパワー設定信号であり、Hの場合に記録パワーが出力される。

(i)はディスク16上に記録される記録信号である。

(f)(g)(i)において、斜線で示しているセクタは、0データをエンコードしたセクタであることを示している。

【0056】図6は、たとえば、記録を開始して1クラスタ経過した時点のリンクセクタの前後における記録動作を示すものであり、ディスク16上のADIP信号(図6(a))のセクタとディスク16上に記録される記録信号(図6(i))のセクタの位相が一致している場合を示している。

【0057】タイミング制御回路30は、実施の形態1と同様、セクタ‘FE’のシンク付加の指示をする以前では、Hパルスの間隔が等間隔 $\alpha$ のシンク付加タイミング信号(図6(e))を出力する。

【0058】そして、カウンタ回路29がセクタ‘FC’のADIPシンク検出信号(図6(b))から $\gamma$ を計測すると、タイミング制御回路30は、Hパルス、すなわちセクタ‘FE’のシンク付加の指示を出力する。そして、セクタ‘FF’以降は、セクタ‘FE’のシンク付加タイミングから $\alpha$ 毎にHパルスを出力する。

【0059】一方、図7は、記録開始後、何らかの原因

で記録信号に比べてADIP信号が遅れた場合、図8は、記録信号に比べてADIP信号が早くなった場合を説明する図である。図7、図8において、カウンタ回路29は、図6と同様に、セクタ‘FC’のADIPシンク検出信号から所定時間 $\gamma$ を計測し、タイミング制御回路30に出力する。図7は、ADIP信号が遅れたために、 $\gamma$ を計測している期間にセクタ‘FE’のシンク付加の指示が出力された場合であり、 $\gamma$ を計測終了時点でさらにセクタ‘FE’のシンク付加の指示が出力されるために、正規のセクタ‘FE’の他に非常に短いセクタ‘FE’がシンク付加回路14から出力されることになる。図8は、ADIP信号が進んだために、 $\gamma$ を計測終了時点でセクタ‘FE’のシンク付加の指示が出力されるために、短いセクタFDがシンク付加回路14から出力されることになる。

【0060】以上の動作をすることにより、図7、図8の何れの場合も、セクタ‘FE’以降は、ADIP信号(a)と記録信号(i)の位相が一致するように記録が行われる。

【0061】なお、実施の形態2において、タイミング制御回路30は、カウンタ回路29が $\gamma$ を計測する期間にセクタFEのシンク付加の指示をシンク付加回路14に与えたが、 $\gamma$ 計測期間はセクタFEのシンク付加の指示を与えないような制御回路であっても良い。

【0062】以上のように本実施の形態2によれば、ADIPシンクとセクタシンクの位相が規格で定められた限界値を超え難くなるため、一度に複数クラスタをディスク16へ記録することが可能となる。

【0063】これにより、たとえば、記録時に、ディスク16への記録を行わず音声信号を圧縮してメモリ12に書き込むだけの動作をしている場合には、情報圧縮回路11、メモリ12、メモリ制御回路13以外の全ての回路の動作を停止させ、ある程度メモリ12に情報が蓄えられた後、再びディスク16を回転させ、数クラスタまとめて記録をするといった動作が可能となる。これにより、低消費電力のシステムを実現することができ、特に電池などを用いたポータブル機器は、使用可能時間が長くなるといった効果がある。

【0064】また、たとえば、予期しない振動などでディスク16への記録が失敗した場合には、メモリ12に残っている範囲でデータの再記録を行う。この場合、通常の動作時以上にメモリ12のデータ残量が多くなり、メモリ12がオーバーフローしやすい。しかし、本実施の形態によれば、複数クラスタを連続にディスク16への記録が可能であるために、メモリ12のデータ残量を一気に減らすことが可能である。したがって、振動があってもメモリ12のオーバーフローがし難くなるため、耐震性が向上するという効果がある。

【0065】また、 $\gamma$ を計測するカウンタ回路29は、図13における記録開始時のxを計測する回路と共用が

可能であり、回路規模を増やすことなく実現することが可能である。

【0066】なお、実施の形態1および2において、間隔を増減させるセクタは、セクタ‘FD’としたが、セクタ‘FC’であっても、セクタ‘FE’であっても良い。また、複数のセクタを用いても良い。

【0067】また、実施の形態1および2において、ディスク16は線速度一定（CLV）で制御されているものとしたが、角速度一定（CAV）で制御されていても良い。

【0068】

【発明の効果】以上のように本願発明によれば、1クラスタ記録している間に発生したADIPシンクとセクタシンクの位相をリンク領域を記録する際に初期の値に戻すこと可能となることにより、連続に記録しても位相差が積算されることはなくなるため、連続クラスタ記録が可能となるという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における情報記録装置の構成図である。

【図2】同情報記録装置の情報記録の動作タイミング図である。

【図3】同情報記録装置の情報記録の動作タイミング図である。

【図4】同情報記録装置の情報記録の動作タイミング図である。

【図5】本発明の実施の形態2における情報記録装置の構成図である。

【図6】同情報記録装置の情報記録の動作タイミング図である。

【図7】同情報記録装置の情報記録の動作タイミング図である。

【図8】同情報記録装置の情報記録の動作タイミング図である。

【図9】MDにおけるADIP信号のフォーマット図である。

05 【図10】MDにおける記録データのセクタフォーマット図である。

【図11】ADIP信号と記録信号の許容位相図である。

【図12】従来のMD記録装置の構成図である。

10 【図13】同従来の情報記録の動作タイミング図である。

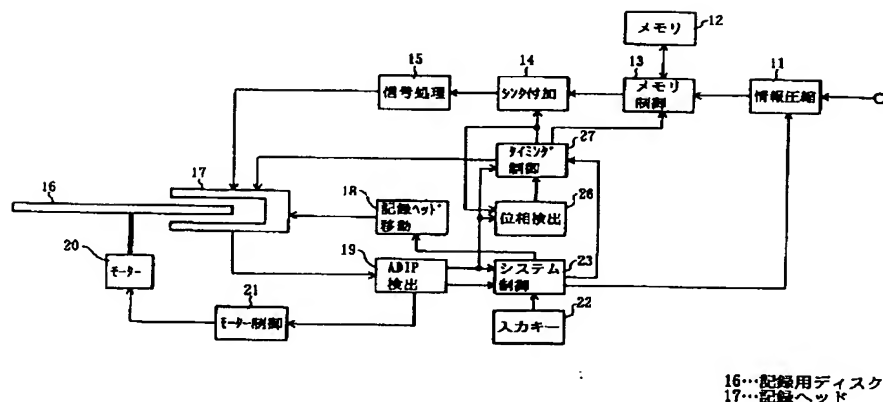
【図14】同従来の情報記録の動作タイミング図である。

15 【図15】ADIP信号と記録信号の位相ずれを説明する図である。

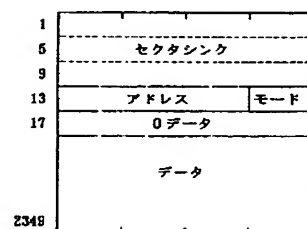
【符号の説明】

- 11 情報圧縮回路
- 12 メモリ
- 13 メモリ制御回路
- 20 14 シンク付加回路
- 15 信号処理回路
- 16 記録用ディスク
- 17 記録ヘッド
- 18 記録ヘッド移動回路
- 25 19 ADIP検出回路
- 20 モータ制御回路
- 21 モータ
- 22 入力キー
- 23 システム制御回路
- 30 26 位相検出回路
- 27, 30 タイミング制御回路
- 29 カウンタ

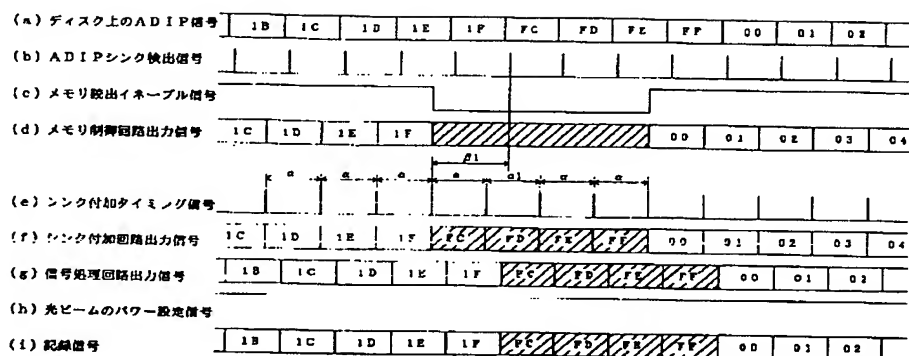
【図1】



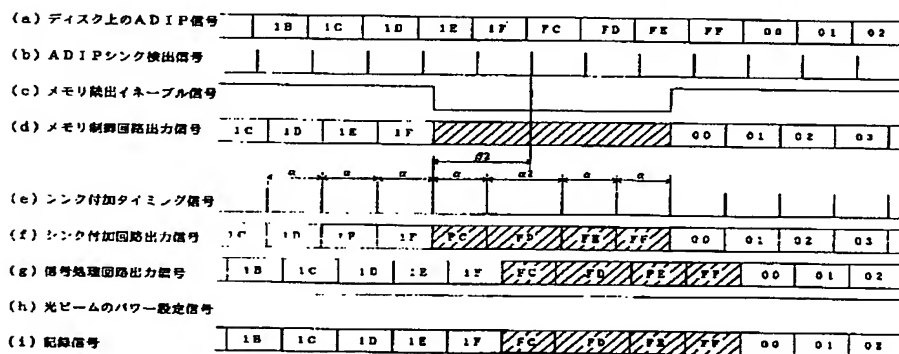
【図10】



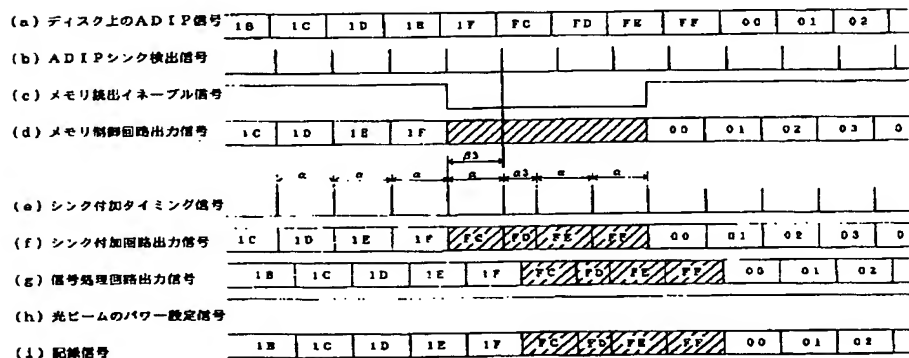
【図 2】



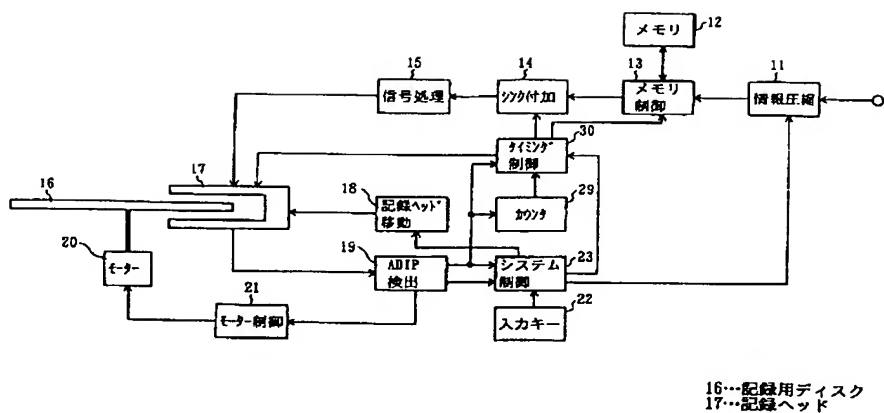
【図 3】



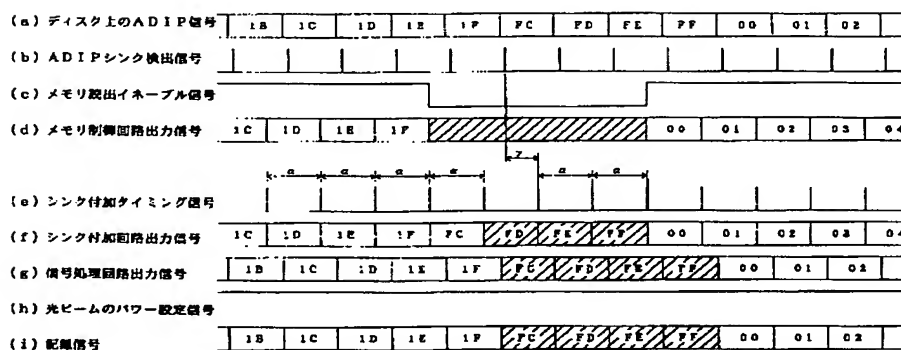
【図 4】



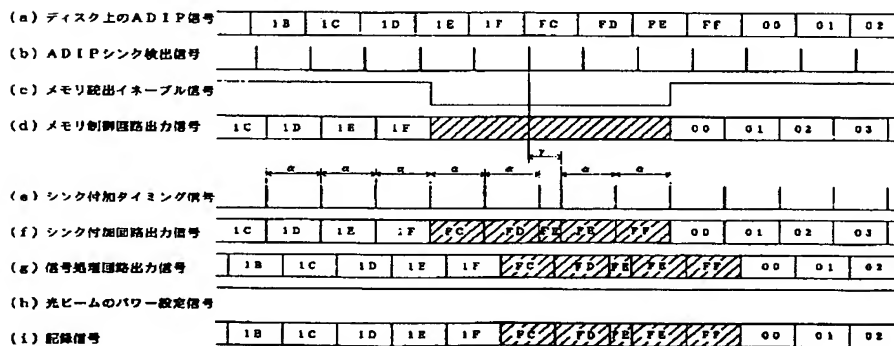
【図 5】



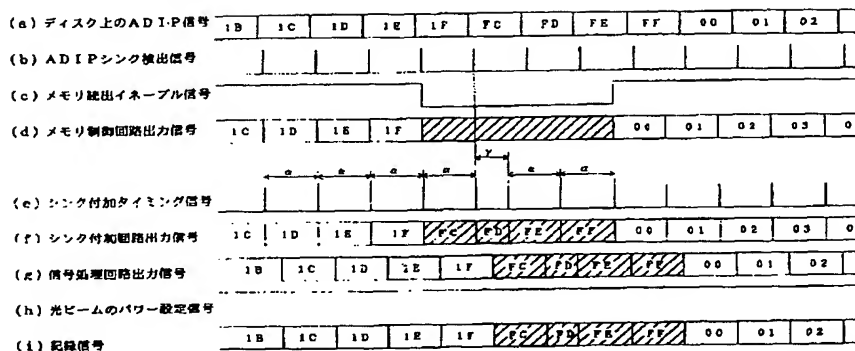
【図 6】



【図 7】

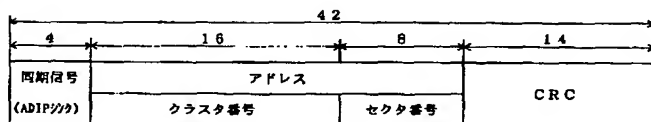


【図8】

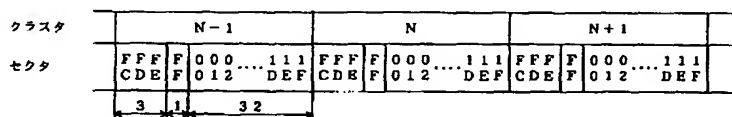


【図9】

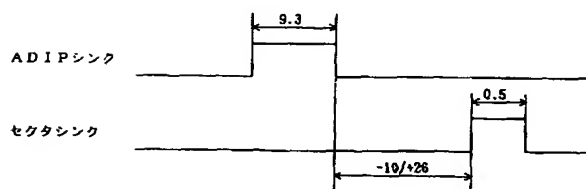
(a)



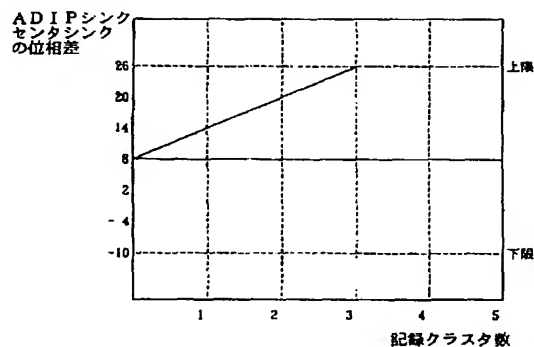
(b)



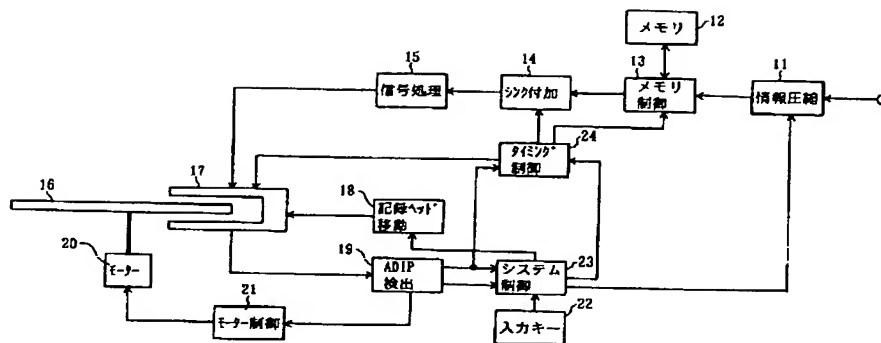
【図11】



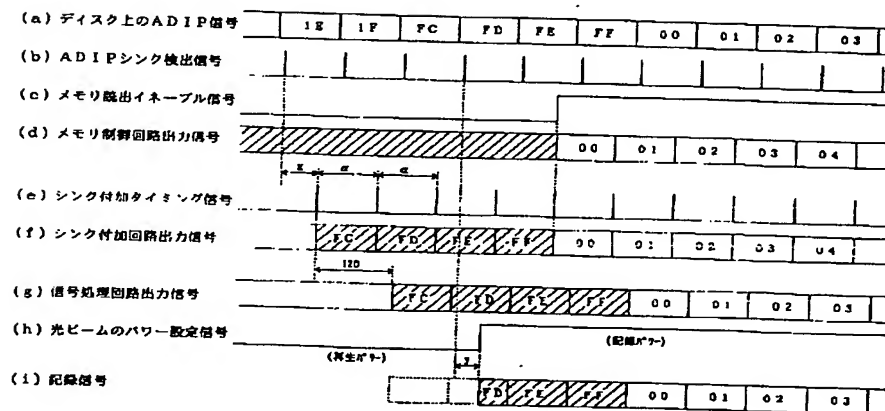
【図15】



【図12】



【図13】



【図14】

